

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008501

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H01P 1/15
H03K 17/693

(21)Application number : 07-148542

(71)Applicant : HITACHI LTD

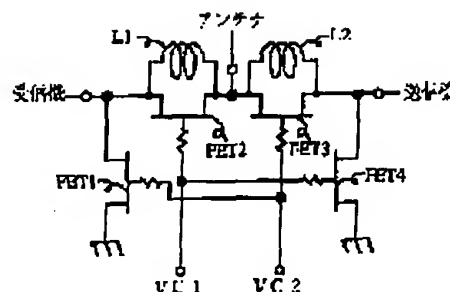
(22)Date of filing : 15.06.1995 (72)Inventor : TANAKA SATOSHI
OKAMOTO TATSUTO
KITAYAMA TARO

(54) HIGH FREQUENCY SWITCH

(57)Abstract:

PURPOSE: To realize the high frequency switch with high isolation and a low pass loss by connecting an inductor in parallel between a drain terminal and a source terminal of a field effect transistor (FET) so as to cancel the parasitic capacitance caused when the FET is nonconductive.

CONSTITUTION: An inductor is connected in parallel between a drain terminal and a source terminal of a field effect transistor (FET) so as to cancel the parasitic capacitance caused when the FET is nonconductive. For example, an inductor L1 (L2) is connected in parallel between a drain terminal and a source terminal of a FET2 (3) (each acting like a single pole double throw (SPDT) switch) through which a transmission (reception) signal passes to prevent increase in a passing loss and deterioration in the isolation due to parasitic capacitance. Although parasitic capacitance of FETs 1, 4 for grounding purpose causes increase in a passing loss at reception and transmission respectively, since the optimum gate width of the FETs 1, 4 is often narrower than the gate width of the FETs 2, 3, the parasitic capacitance caused when the FETs 1, 4 are nonconductive is negligibly small.



LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-8501

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 1/15			H 0 1 P 1/15	
H 0 3 K 17/693		9184-5K	H 0 3 K 17/693	A

審査請求 未請求 請求項の数15 O L (全 8 頁)

(21)出願番号 特願平7-148542

(22)出願日 平成7年(1995)6月15日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 田中 聡

東京都国分寺市東荏ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 岡本 達人

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

(72)発明者 北山 太郎

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所情報通信事業部内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 高周波スイッチ

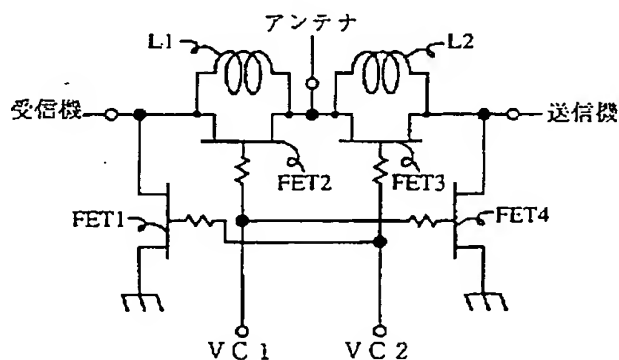
(57)【要約】

【目的】本発明は移動体通信器向けの送信受信切り換えスイッチに関するものであり、低通過損失で高アイソレーション特性の高周波スイッチ実現を目的とする。

【構成】SPDTスイッチの信号を通すFETに並列にインダクタを接続する。

【効果】本発明はFETで構成されるスイッチ回路の寄生容量をインダクタで打ち消すもので低通過損失、高アイソレーションのスイッチを実現するものである。またインダクタの数に制限を加えることで集積化時のチップ面積の削減を図っている。

図 4



【特許請求の範囲】

【請求項1】電界効果型トランジスタのドレイン端子とソース端子間にインダクタを並列接続したことを特徴とする電子回路。

【請求項2】前記電界効果型トランジスタのゲート端子への印加電圧を制御することにより、前記電界効果型トランジスタのON/OFF動作を行なうことを特徴とする請求項1記載の電子回路。

【請求項3】ドレイン端子或いはソース端子の一方をアンテナに接続し、他方を送信機に接続した第1の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方をアンテナに接続し、他方を受信機に接続した第2の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方を上記第1の電界効果型トランジスタの送信機側端子に接続し、他方を接地した第3の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方を上記第2の電界効果型トランジスタの受信機側端子に接続し、他方を接地した第4の電界効果型トランジスタと、上記第1乃至第4の電界効果型トランジスタのうち少なくとも1つの電界効果型トランジスタのドレイン端子とソース端子間に並列接続された少なくとも1つのインダクタを有することを特徴とする高周波スイッチ。

【請求項4】上記第2の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第1のインダクタを有することを特徴とする高周波スイッチ。

【請求項5】前記第1の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第2のインダクタを有することを特徴とする請求項4記載の高周波スイッチ。

【請求項6】前記第3の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第3のインダクタと、前記第4の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第4のインダクタとを有することを特徴とする請求項5記載の高周波スイッチ。

【請求項7】前記第3の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第1の容量と、前記第4の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第4の容量とを有することを特徴とする請求項6記載の高周波スイッチ。

【請求項8】前記第3の電界効果型トランジスタのドレイン端子とソース端子間に並列接続されたインダクタと容量とからなる第1の並列共振回路と、前記第4の電界効果型トランジスタのドレイン端子とソース端子間に並列接続されたインダクタと容量とからなる第2の並列共振回路とを有することを特徴とする請求項5記載の高周波スイッチ。

【請求項9】前記第1乃至第4の電界効果型トランジスタの各々のゲート端子への印加電圧を制御して前記各電界効果型トランジスタのON/OFF動作を行ない、前

記第1及び第4の電界効果型トランジスタがON状態のとき前記第2及び第3の電界効果型トランジスタをOFF状態として前記送信機からの高周波送信信号を前記アンテナを介して送信し、前記第2及び第3の電界効果型トランジスタがON状態のとき前記第1及び第4の電界効果型トランジスタをOFF状態として前記アンテナを介して受信した高周波受信信号を前記受信機に導くことを特徴とする請求項3乃至8記載の高周波スイッチ。

【請求項10】送信機に接続された入力端子と、アンテナに接続された入出力端子と、受信機に接続された出力端子と、上記入力端子と上記入出力端子間に直列に設けられた m 個($m \geq 1$)の電界効果型トランジスタと、上記出力端子と上記入出力端子間に直列に設けられた n 個($n \geq 1$)の電界効果型トランジスタと、上記 m 個の電界効果型トランジスタのうち上記入出力端子に直接接続された電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第1のインダクタとを有することを特徴とする高周波スイッチ。

【請求項11】前記 n 個の電界効果型トランジスタのうち前記入出力端子に直接接続された電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第2のインダクタとを有することを特徴とする請求項10記載の高周波スイッチ。

【請求項12】送信機に接続された入力端子と、アンテナに接続された入出力端子と、受信機に接続された出力端子と、上記入力端子と上記入出力端子間に直列に設けられた m 個($m \geq 1$)の電界効果型トランジスタと、上記出力端子と上記入出力端子間に直列に設けられた n 個($n \geq 1$)の電界効果型トランジスタと、上記 m 個の電界効果型トランジスタの各々のドレイン端子とソース端子間に並列接続された m 個のインダクタと、上記 n 個の電界効果型トランジスタの各々のドレイン端子とソース端子間に並列接続された n 個のインダクタとを有することを特徴とする高周波スイッチ。

【請求項13】前記 $m+n$ 個の電界効果型トランジスタの各々のゲート端子への印加電圧を制御して前記各電界効果型トランジスタのON/OFF動作を行ない、前記 m 個の第1及び第4の電界効果型トランジスタがON状態のとき前記 n 個の第2及び第3の電界効果型トランジスタをOFF状態として前記送信機からの高周波送信信号を前記アンテナを介して送信し、前記 n 個の第2及び第3の電界効果型トランジスタがON状態のとき前記 m 個の第1及び第4の電界効果型トランジスタをOFF状態として前記アンテナを介して受信した高周波受信信号を前記受信機に導くことを特徴とする請求項10乃至12記載の高周波スイッチ。

【請求項14】前記各インダクタを、前記各電界効果型トランジスタが集積化された半導体基板上に形成されたスパイラルインダクタで構成したことを特徴とする請求項3乃至13のいずれかに記載の高周波スイッチ。

3

【請求項 15】送信データを高周波の送信信号に変換する送信機と、高周波の受信信号を受信データに変換する受信機と、送受信兼用のアンテナと、送信時に上記送信機と上記アンテナを接続し受信時に上記アンテナと上記受信機を接続する送受切替スイッチとを有する移動体通信装置であって、上記送受切替スイッチを請求項 3 乃至 14 の何れかに記載の高周波スイッチで構成したことを特徴とする移動体通信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、送信機能及び受信機能の両機能を兼ね備えた移動体通信装置に用いられる送信受信切り換えのためのスイッチに関するものであり、低通過損失で高アイソレーション特性を持つ高周波スイッチを実現するものである。

【0002】

【従来の技術】セルラ電話、コードレス電話等を主なアプリケーションとする化合物半導体デバイスを用いた送信受信切り替え用の SPDT (Single-Pole Double-Throw) スwitch の開発事例が多く発表されている。例として、吉川等による“小型樹脂パッケージ高周波 FET スwitch”、1993 年電子情報通信学会春季大会、講演番号 C-90 がある。図 2 に、この従来の SPDT スwitch を示す。スイッチを構成する各電界効果型トランジスタ（以下、「FET」と称す。）は、ディプリージョン形 GaAs MESFET である。図 2 を用いて SPDT スwitch の動作原理を説明する。スイッチには 3 つの信号端子と VC1、VC2 の 2 つの制御端子が存在する。同図中、中央の信号端子をアンテナに接続し、左の信号端子を受信機に、右の信号端子を送信機に接続する。制御バイアスは 2 つの制御端子 VC1、VC2 に相補的に 0 V バイアス、または FET の閾電圧以下の負バイアス V_{con} を印加する。VC1 に 0 V、VC2 に V_{con} を加えると、FET2、FET4 が ON、FET1、FET3 が OFF となり、アンテナに接続された中央の信号端子と受信機に接続された左の信号端子が接続され、送信機に接続された右の信号端子は接地される。逆に、VC1 に V_{con} を、VC2 に 0 V を加えると、FET1、FET3 が ON、FET2、FET4 が OFF となり、アンテナに接続された中央の信号端子と送信機に接続された右の信号端子が接続され、受信機に接続された左の信号端子は接地される。

【0003】FET の小信号等価回路を図 3 (a) に示す。OFF 時の簡易化した等価回路は、ドレインソース間の寄生容量で代表させることができ、ON 時の等価回路は、ドレインソース間の抵抗で代表させることができる。OFF 時のドレインソース間の寄生容量と ON 時のドレインソース間の抵抗により、スイッチの挿入損失は決定される。FET が ON 状態でのドレインソース間の抵抗値の低減を図るには FET のゲート幅を

4

広くする必要があり、ゲート幅を広くすると OFF 状態でのドレインソース間の寄生容量が大きくなる。このように、ON 時の挿入損失と OFF 時のアイソレーションとの間には、FET のゲート幅に関してトレードオフの関係がある。

【0004】図 3 (b) に、アンテナと受信機が接続された場合の SPDT スwitch の小信号等価回路を示す。

【0005】受信信号が通過する FET2 及び送信信号が通過する FET3 は、各信号の通過損失を小さくするため、FET1 及び FET4 に比べてゲート幅を広くし、ON 状態におけるドレインソース間の抵抗値を小さくする場合が多く、FET2 及び FET3 の OFF 状態における寄生容量は大きくなる。このとき、VC1 に 0 V、VC2 に V_{con} を印加した受信状態においては、送信側の FET3 の大きな寄生容量 C3 の影響でアンテナからの受信信号が送信側に漏れ込み、受信信号の通過損失が増加する。また、送信側からの送信信号の漏れが上記寄生容量 C3 を介して伝わり、アイソレーション特性が劣化する。送信状態においては、FET2 の大きな寄生容量の影響により送信信号の通過損失が増大する。

【0006】

【発明が解決しようとする課題】本発明では、FET の OFF 状態における寄生容量による通過損失の増加とアイソレーション特性の劣化を防ぎ、低通過損失、高アイソレーションの SPDT スwitch を実現することを課題とする。

【0007】

【課題を解決するための手段】上記課題は、ゲート幅が広く OFF 時の寄生容量が大きい FET に対しインダクタを並列に接続し、寄生容量を打ち消すことにより実現される。

【0008】上記課題は、FET のドレイン端子とソース端子間にインダクタを並列に接続し、FET の OFF 時の寄生容量を打ち消すことにより実現される。

【0009】より具体的には、ドレイン端子或いはソース端子の一方をアンテナに接続し、他方を送信機に接続した第 1 の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方をアンテナに接続し、他方を受信機に接続した第 2 の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方を上記第 1 の電界効果型トランジスタの送信機側端子に接続し、他方を接地した第 3 の電界効果型トランジスタと、ドレイン端子或いはソース端子の一方を上記第 2 の電界効果型トランジスタの受信機側端子に接続し、他方を接地した第 4 の電界効果型トランジスタと、上記第 2 の FET のドレイン端子とソース端子間に並列に接続された第 1 のインダクタとから SPDT スwitch を構成する。また、上記第 1 の電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第 2 のインダクタ、上記第 3 の電界効果ト

5

ランジスタのドレイン端子とソース端子間に並列接続された第3のインダクタ、上記第4の電界効果トランジスタのドレイン端子とソース端子間に並列接続された第4のインダクタをも備える。さらに、上記第3の電界効果トランジスタのドレイン端子とソース端子間に並列接続された第1の容量と、上記第4の電界効果トランジスタのドレイン端子とソース端子間に並列接続された第4の容量を設ける。

【0010】また、多段型のSPDTスイッチにおいては、送信機に接続された入力端子と、アンテナに接続された入出力端子と、受信機に接続された出力端子と、上記入力端子と上記入出力端子間に直列に設けられたm個（ $m \geq 1$ ）のFETと、上記出力端子と上記入出力端子間に直列に設けられたn個（ $n \geq 1$ ）のFETと、上記m個のFETのうち上記入出力端子に直接接続されたFETのドレイン端子とソース端子間に並列接続された第1のインダクタとからSPDTスイッチを構成する。また、上記n個の電界効果型トランジスタのうち上記入出*

$$C = CDS + CGD * CGS / (CGD + CGS)$$

$$L = 1 / (C (2 \pi f)^2)$$

..... (数1)

【0014】ここで \wedge は冪乗を示す。このインダクタLは、実際にはIC上で配線を渦巻状に配置したスパイラルインダクタ等によって実現される。

【0015】図4に本発明を適用したSPDTスイッチの回路の構成を示し、図5に受信時における小信号等価回路を示す。図1に示した基本回路をFET2、FET3に適用した。受信時には、FET1はOFF、FET2はON、FET3はOFF、FET4はONの状態にある。

【0016】FETのON、OFF両状態の簡易な等価回路は夫々抵抗と容量で表せる。FET3の寄生容量C3とインダクタL2が並列共振することで寄生容量C3による通過損失の増加を防止すると共にアイソレーションの劣化を防止し、受信時における送機側からの雑音を遮断することが出来る。送信時にはFET2のOFF時における寄生容量が送信信号の通過損失の増加※40

$$L = 1 / (C (2 \pi f)^2)$$

..... (数2)

【0019】直流的にはドレイン電極とソース電極がインダクタにより短絡されているが、インダクタは容量Cと共振し、OFF時に高いアイソレーション特性を実現する。ON時にはソースドレイン間が低いインピーダンスで結合されるので、インダクタの存在は無視出来

6

*カ端子に直接接続された電界効果型トランジスタのドレイン端子とソース端子間に並列接続された第2のインダクタをも備える。さらに、上記m+n個の全ての電界効果型トランジスタの各々のドレイン端子とソース端子間に並列接続されたm+n個のインダクタを設ける。

【0011】さらに、上記各インダクタを、上記各電界効果型トランジスタが集積化された半導体基板上に形成されたスパイラルインダクタで構成する。

【0012】

10 【作用】図1に、FETのソース電極とドレイン電極との間にインダクタを接続した本発明の基本回路の構成を示す。OFF時に寄生容量CDS、CGS、CGDを介して漏れる信号をインダクタと寄生容量を共振させることで抑圧する。このときインダクタLの値は、(数1)で与えられる。

【0013】

【数1】

※をもたらすので、インダクタL1をFET2と並列に接続し、送信時における送信信号の通過損失の増加を防止する。インダクタL1の受信時における影響については、FET2がON状態にあるのでソースドレイン間は極めて低いインピーダンスR1で接続されほぼ無視することができる。

【0017】

【実施例】図1は、本発明の第1の実施例を示す図である。本実施例は、FETのドレイン電極とソース電極との間にインダクタを接続したものである。本実施例の構成を要素回路としてSPDTスイッチを構成する。寄生容量CDS、CGS、CGDにより合成される容量Cは、(数2)で与えられる。

【0018】

【数2】

る。このときインダクタLの値は、(数3)で与えられる。

【0020】

【数3】

$$C = C_{DS} + C_{GD} * C_{GS} / (C_{GD} + C_{GS})$$

..... (数3)

【0021】ここで \wedge は冪乗を示す。このインダクタLは実際にはIC(Integrated Circuit)上で配線を渦巻状に配置するスパイラルインダクタ等によって実現される。

【0022】図11にIC上で実現されたFETとスパイラルインダクタを示す。同図(a)は上面図であり(b)は断面図である。スパイラルインダクタは最上層の配線層を用いて構成し、スパイラルインダクタの中心部からはFETのゲートを構成する金属層で配線を外側へ引き出している。世界的に移動体通信の利用が多い1.9GHz帯での応用を例に考えると、スパイラルインダクタの大きさは図11に示すように、ほぼFET1個分の面積を占め、集積化可能な寸法となる。

【0023】このように、本実施例は容易に実施することが出来る。

【0024】図4は、本発明の第2の実施例を示す図である。送信受信対称型のSPDTスイッチの送信信号或いは受信信号が通過する2つのFET2, 3に並列にインダクタを接続することで、寄生容量による通過損失の増加を防止すると共にアイソレーションの劣化を防止することが出来る。接地用のFET1, 4の寄生容量もそれぞれ受信時、送信時の通過損失の増加を招くが、FET1, 4の最適ゲート幅はFET2, 3のゲート幅に比べて狭い場合が多く、OFF時における寄生容量は小さくなる。小さな容量と並列共振をとるためには大きなインダクタが必要となり、FET1, 4に並列共振用のインダクタを接続することは集積化した場合のチップ面積の増大を招く。ここでは積極的にFET1, 4用のインダクタを省略している。

【0025】本実施例により、低損失で高アイソレーションなSPDTスイッチを実現することが出来る。

【0026】ここで、アイソレーション特性の重要性について述べる。

【0027】図12に、受信スロット4チャンネル、送信スロット4チャンネルのTDMA方式のチャンネル構成を示す。図12では、受信スロット第1、第4回線、送信スロット第1、第4回線を用いた場合の例を示している。受信スロットがアクティブな場合は、受信機のみが動作し送信機は低消費電力化のため電源をOFFにする。送信スロットがアクティブな場合は、送信機のみが動作し受信機はOFF状態にある。電源のON、OFFに要する時間が十分に短く、スロット間の切り替え用に設定された時間内にON、OFF動作が完了する場合には、高いアイソレーション特性は要求されない。しかしながら、実際にはON、OFFに要する時間が設定された時間以上にかかる場合が多い。図12では、送信機の

立上り時間(OFFからON)が長く、受信スロット第4回線内でON動作が始まる場合を示した。このような場合には受信状態において送信機に電源が入るため、送信機から発生する熱雑音の影響が無視出来なくなる。このため、高いアイソレーション特性が要求され、本発明が有効な手段となる。

【0028】本発明の第2の実施例を試作した所、1.9GHzで10dB以上のアイソレーション特性の改善を実現し、本実施例の効果を確認した。

【0029】図6は、本発明の第3の実施例を示す図である。多段型のSPDTスイッチに本発明を適用した例である。アンテナにドレイン電極或いはソース電極が接続されているFET21, 31のみにインダクタL1, L2を並列接続させることで、使用しないパスの接続による通過損失の増大を防止できる。本実施例では、特に通過損失の増加要因に着目し必要最小限のインダクタで効果を上げている。ここでは、対称型のSPDTスイッチを例に挙げているが段数の異なる非対称型のスイッチ(n≠m)に適用することも可能である。

【0030】図7は、本発明の第4の実施例を示す図である。全てのFETにインダクタを並列接続したことにより、第1の実施例では対策していなかったFET1, 4の寄生容量の効果を抑圧し、第1の実施例よりも通過損失の少ないスイッチを実現したものである。

【0031】図8は、本発明の第5の実施例を示す図である。図7に示す第4の実施例では低通過損失を実現できるものの、より多くの且つより大きなインダクタを必要とする。第2の実施例でも述べたように接地用のFET1, 4は、FET2, 3に比べてゲート幅が小さい場合が多い。このためFET1, 4の寄生容量と共振させるインダクタの大きさは、FET2, 3に用いるインダクタに比べて大きくなり、MMIC上で第4の実施例を実現した場合、チップ面積の大幅な増大を生む。本実施例では、接地用のFET1, 4にインダクタと共に容量を並列接続することで、OFF時における共振に必要なインダクタの値を小さくしている。

【0032】ここでは、対称型の1段SPDTスイッチを例に説明を行っているが、非対称型、多段型のSPDTスイッチについても適用可能である。

【0033】図9は、本発明の第6の実施例を示す図である。多段型のSPDTスイッチの受信信号或いは送信信号の通る全てのFET21~2n, 31~3nに並列にインダクタを付けたものである。受信信号或いは送信信号の通る全てのFETの寄生容量をインダクタで打ち消しているため、本実施例ではOFF時のアイソレーション特性をさらに高くすることが出来る。

【0034】図10は、本発明の第7の実施例を示す図である。アイソレーション特性は、受信モード動作時における送信側からの信号について特に強く要求されるので、SPDTスイッチを構成する4つのFET1~4の内、送信信号を通過させるFET3にのみインダクタを並列接続し、アイソレーション特性を強化している。インダクタの数を1つにすることで集積化したときのチップ面積を削減できる。

【0035】

【発明の効果】本発明は、FETで構成されるスイッチ回路のOFF時の寄生容量をインダクタで打ち消すもので、低通過損失、高アイソレーションの高周波スイッチを実現することができるものである。具体的には、アンテナと送信機との間に設けられたFETの少なくとも1つにインダクタを並列に接続することにより、受信時における送信機からの送信信号の受信信号への漏れ込みをおさえアイソレーション特性を強化することができる。同時に、受信信号の送信機側への漏れ込みをおさえ受信信号の通過損失を低減することができる。また、アンテナと受信機との間に設けられたFETの少なくとも1つにインダクタを並列に接続することにより、送信時における送信信号の受信機側への漏れ込みをおさえ送信信号の通過損失を低減することができる。さらに、アンテナ-送信機間或いはアンテナ-受信機間のFETのソース端子或いはドレイン端子とアースとの間に設けられた各

FETにインダクタと容量とからなる並列共振回路を設けることにより、送受信時における送信信号或いは受信信号のアースへの漏れ込みをおさえ各信号の通過損失を低減できると同時に、集積化時におけるインダクタの占有面積をおさえチップ面積全体の格言を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図。

【図2】従来のSPDTスイッチを示す図。

【図3】FET及び従来のSPDTスイッチの小信号等価回路図。

【図4】本発明の第2の実施例を示す図。

【図5】本発明の第2の実施例の小信号等価回路図。

【図6】本発明の第3の実施例を示す図。

【図7】本発明の第4の実施例を示す図。

【図8】本発明の第5の実施例を示す図。

【図9】本発明の第6の実施例を示す図。

【図10】本発明の第7の実施例を示す図。

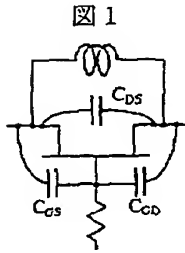
【図11】本発明の第1の実施例のIC上の実現図。

【図12】TDMA方式のタイミング図。

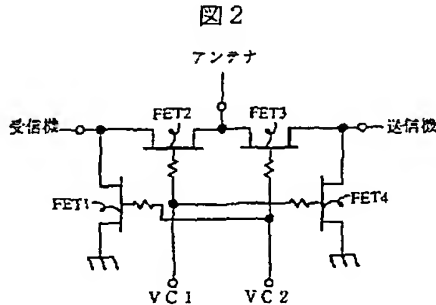
【符号の説明】

FET1, 2, 3, 4, 1n, 2n, 3m, 4m…電界効果トランジスタ、VC1, VC2…コントロールバイアス端子、L1, L2…インダクタ、R1…FET1のON抵抗、C3…FET3のOFF時寄生容量。

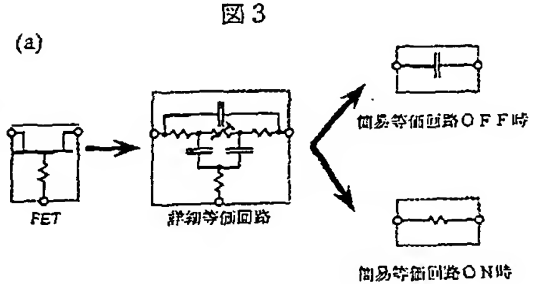
【図1】



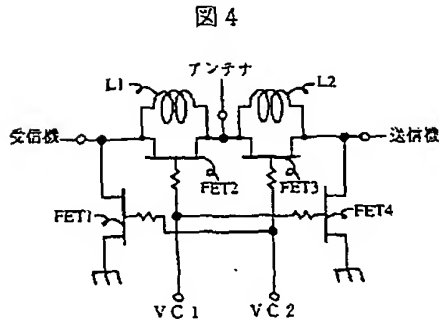
【図2】



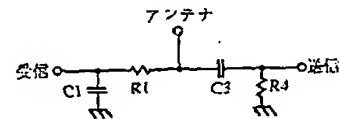
【図3】



【図4】

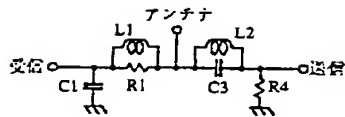


(b)



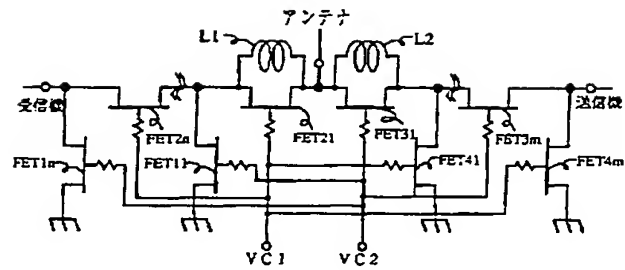
【図 5】

図 5



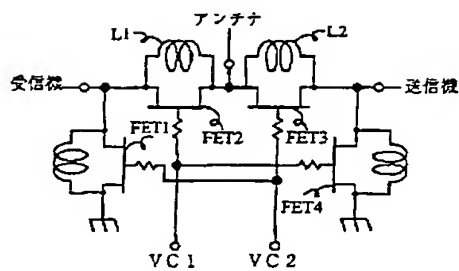
【図 6】

図 6



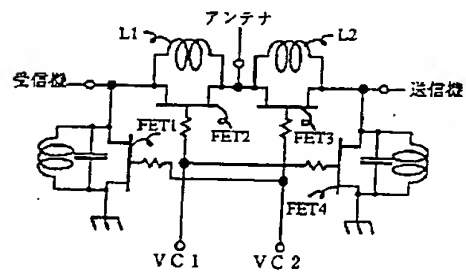
【図 7】

図 7



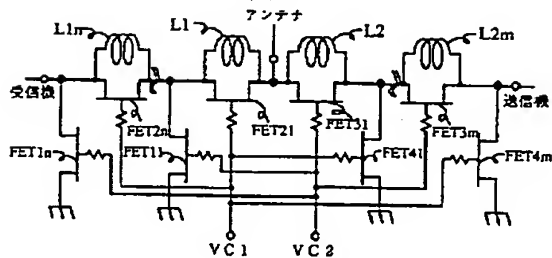
【図 8】

図 8



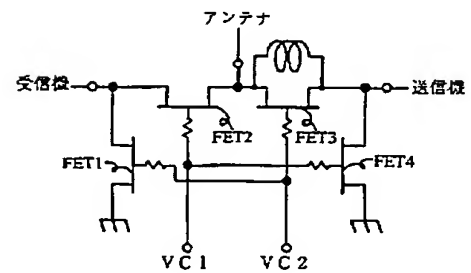
【図 9】

図 9

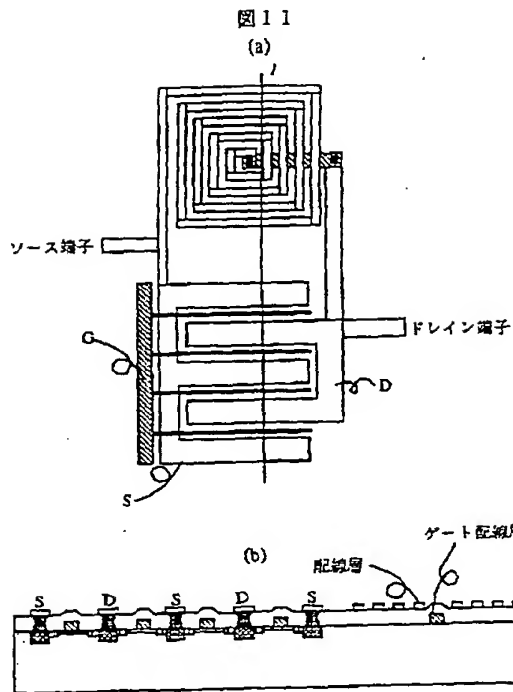


【図 10】

図 10



【図11】



【図12】

